

PAT-NO: JP354037697A
DOCUMENT-IDENTIFIER: JP 54037697 A
TITLE: LIQUID CRYSTAL DISPLAY UNIT OF
MATRIX TYPE
PUBN-DATE: March 20, 1979

INVENTOR- INFORMATION:

NAME
NONOMURA, HIROSAKU
SHIMIZU, KEIICHIRO
KISHI, KOHEI
WADA, TOMIO

ASSIGNEE- INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP52105549

APPL-DATE: August 30, 1977

INT-CL (IPC): G09F009/30, G06K015/18 , G02F001/13

US-CL-CURRENT: 349/42, 349/46 , 349/165 , 349/201 ,
349/FOR.111

ABSTRACT:

PURPOSE: To establish excellent contrast, by sealing liquid crystal substance including polycolor element between the substrate and the entire surface transparent conductive substrate in which thin film transistors are provided on each cross point among a plural number of gate lines and the source lines perpendicular.

COPYRIGHT: (C) 1979, JPO&Japio

⑯日本国特許庁
公開特許公報

⑪特許出願公開
昭54—37697

⑤Int. Cl.²
G 09 F 9/30
G 06 K 15/18 //
G 02 F 1/13

識別記号

⑥日本分類
101 E 5
101 E 9
104 G 0
97(7) B 4

厅内整理番号
7013—5C
2116—5B
7348—2H

⑦公開 昭和54年(1979)3月20日
発明の数 1
審査請求 未請求

(全 8 頁)

⑧マトリックス型液晶表示装置

⑨特 願 昭52—105549
⑩出 願 昭52(1977)8月30日
⑪發明者 野々村啓作
大阪市阿倍野区長池町22番22号
シヤープ株式会社内
同 清水桂一郎
大阪市阿倍野区長池町22番22号
シヤープ株式会社内

⑫發明者 岸幸平
大阪市阿倍野区長池町22番22号
シヤープ株式会社内
同 和田富夫
大阪市阿倍野区長池町22番22号
シヤープ株式会社内
⑬出願人 シヤープ株式会社
大阪市阿倍野区長池町22番22号
⑭代理人 弁理士 福士愛彦

明細書

1. 発明の名称

マトリックス型液晶表示装置

2. 特許請求の範囲

1. 複数個のゲート線及び前記ゲート線と直交する複数個のソース線を備え、その各交点に薄膜トランジスタ(TFT)アレイを形成した基板と全面透明導電体を形成した基板を有し、前記トランジスタアレイと、前記透明導電体間に液晶材を挿持した構造のマトリックス形表示装置に於いて、上記液晶材として多色性色素を含む液晶を用いる事を特長とするマトリックス型液晶表示装置。

3. 発明の詳細な説明

本発明は一般的には液晶ディスプレイ、特に薄膜トランジスタ(TFT)を用いたマトリックス型液晶表示装置の製造工程を簡略化し得る構造に関するものである。

この種装置として特開昭50-17599(日本
分類101E5、101E9、104GO、97(7)B4)

がある。これは第1図に示すように、行ドライバR₁～R_nへゲート電極を、列ドライバC₁～C_nへソース電極を接続したFETトランジスタT₂₀を備え、ドレイン電極とアース間に液晶L₇を挿入するとともに、ドレイン電極とゲート電極間にコンデンサC₂₆を挿入して構成される。液晶間の電気信号の印加とそこでの光学特性の変化の間に遅延があるので、コンデンサC₂₆は液晶間に信号電圧が存する時間をその緩和時間以上に延長させて液晶が応答できるようにするものであり、トランジスタT₂₀はしきい値を与える。第1図の構成において、コンデンサC₂₆はトランジスタT₂₀のドレインおよびゲート間に挿入され、コンデンサ及び分離したアース面間の結合を不要にしている。行発生器R₁が正パルス、列発生器C₁が負アーログパルスを発生すると、コンデンサC₁₁に印加された電圧は列発生器C₁からのアナログ電圧S₀を波形S₉によつて決定される量だけ越える。しかしながら波形S₉がアース電位に帰還すると(これによりトランジスタT₁₁はオフになる。)、

コンデンサ C_{11} 間の電圧は列発生器 C_1 により供給されるのと等しくなり、コンデンサ C_{11} は液晶セル $L C_{11}$ と並列になる。従つてコンデンサ C_6 はトランジスタのゲート及びドレイン間にあるとしても、フレームの大部分の間、液晶と並列であり、これにより液晶の応答時間を増加させる。

このように、各エレメント毎に FET 及び浮遊容量を設ける回路が述べられている。

その後、1972年に FET 及び浮遊容量を蒸着膜 (Thin Film) を用いて形成する事により構成したマトリックス型液晶表示装置がウエスタンハウス社 (WH社) から発表されている。

この仕様の詳細については IEEE Trans. on Electron Devices ED-20 P995, 1973, T.P. Brody et al, "A 6"×6" 20 l/inch Liquid Crystal Display Panel" に述べられているが、この発明をより理解するために、上記 Report に基づいて、その仕様及び動作原理を説明する。

第2図は、液晶の1エレメントを TFT 及び浮

遊容量を用いて駆動する回路を、第3図は、その駆動波形を示す。これらは1エレメントのみを示したが、これを X-Y に配置し、それを適当に結線することにより、マトリックス表示が可能になる訳である。

第2図のソース電極 1 から V_1 電圧、ゲート電極 3 から V_2 電圧を印加すると、TFT 6 は導通 (ON) 状態となり、ソース電極 1 から TFT の ON 抵抗 (R_{ON}) を通して液晶の容量 (C_{LC}) 7 と並列に接続されている浮遊容量 (C_S) 8 に充電が行なわれ、ドレイン電極 5 の電位 (V_{drain}) は式(1)に従つて変化する。

$$V_{drain} = V_1 \left(1 - e^{-\frac{t}{\tau_1}} \right) \quad (1)$$

$$\text{但し } \tau_1 = R_{ON} (C_{LC} + C_S)$$

次にゲート電極 3 を $-V_2$ にすると TFT 6 は遮断 (OFF) 状態となり、容量 C_{LC} 7 及び C_S 8 に充電されている電荷は、TFT の OFF 抵抗 (R_{OFF}) 及び液晶の抵抗 (R_{LC}) を通して放電を開始するが、抵抗 R_{OFF} 及び R_{LC} が抵抗 R_{ON} に比

べて非常に高く、その放電は徐々にしか行なわれず、ドレイン電極の電位 (V_{drain}) は式(2)に従つて長い時間、高電位で保持される。

$$V_{drain} = V_1 e^{-\frac{t}{\tau_2}} \quad (2)$$

$$\text{但し } \tau_2 = (R_{OFF}/R_{LC})(C_{LC} + C_S)$$

この様子を各電極の電圧波形によつて第3図に示すが、ソース電極 1 に加わる実効電圧が極めて小さいにもかゝわらず、ドレイン電極に生じる実効電圧、つまり液晶エレメントに印加される実効電圧は非常に大きくなり、高コントラストの表示が行なわれる訳である。

この時、より高いコントラストを得る為には、式(1)(2)から考えて、TFT の R_{OFF}/R_{ON} の比を大きくすることはもち論、 $R_{LC} > R_{OFF}$ にするといい。これは、導電率の非常に低い液晶材を用いれば良いことを示している。事実、WH社ではこの電界効果型の液晶材として、下記の混合比の (FEM) ツイステード ネマティック (TN) 液晶を用いている。

(PEBAB) 15%

(MBBA) 51%

(EBBA) 34%

この TN-FEM-LC は、第4図に示すように TN セル 17 の前後に 2 枚の偏光板 13、14 をクロスニコルに配する必要があり、従つて、TN セル 17 の一对の電極は、いずれも透明電極 12、12' (例えば In_2O_3) にする必要があつた。これを WH 社では In_2O_3 蒸着工程を省く意味から、金を 500\AA 程度蒸着しているが、 In_2O_3 の場合 90% 以上の透過率特性が得られるのに対し、金 (500\AA) では、70% 以下と透過率が悪く、良好な表示が得られなかつた。

次にこの装置の薄膜トランジスタアレイ基板を形成する為のマスク (蒸着マスク又は、ホトマスク) のパターンを示しながらその製作工程を説明する。

工程 1 コンデンサ (C_S) 8 の片面電極 25 を第5図(a)のマスクを使用して、蒸着する。

この斜視図を第6図(a)に、断面図を第7図(a)に示す。この電極は後に作る絵素の電極

28と重なる位置にあり、 In_2O_3 、 SnO_2 等の透明電極材料を用いる。

工程2 ゲート電極3を第5図(b)のマスクを使用して蒸着する。電極材料としてはA1等を用いる。この電極の斜視図を第6図(b)に、断面図を第7図(b)に示す。

工程3 全面に絶縁膜26(例えば SiO_2)を蒸着する。この膜の斜視図を第6図(c)に、断面図を第7図(c)に示す。この膜には次の3つの働きがある。

1. ゲート電極3と工程6で蒸着するソース電極27のクロス部を電気的に絶縁する。
2. TFT素子のゲート電極の絶縁膜26として用いる。
3. コンデンサ(C_s)8の誘電体膜として用いる。

工程4 ゲート電極3上の絶縁膜26の上に半導体膜27(例えばCdS、CdSe、Te)を第5図(d)に示すマスクを使用して蒸着する。

この膜の斜視図と断面図を第6図(d)と第7図(d)にそれぞれ示す。

工程5 液晶セルの薄膜トランジスタ基板側の透明電極28(例えば In_2O_3 、 SnO_2)を第5図(d)のマスクを使用して蒸着する。この電極28の斜視図と断面図を第6図(e)と第7図(e)に各々示す。

工程6 ソース電極27とドレイン電極29としてA1、Auなどを第5図(e)のマスクを使用して蒸着する。この電極の形状を第6図(f)と第7図(f)に各々示す。

なお、W.H.社では工程5の透明電極、工程6のソース電極及びドレイン電極(Au 500Å程度では、半透明な膜になる)を用い、同時に蒸着している。

以上がマトリックス型の液晶表示装置の片方の電極である薄膜トランジスタアレイ基板の製作工程である。もう一方の基板30は各絵素に共通の全面透明導電膜31を製作する。次にこの両方の電極上に SiO 又は SiO_2 等の透明絶縁膜33を

蒸着し、斜蒸着又はラビング等によってTN配向処理を行ない2枚の基板をシール材32で封止をし、これにTN-LC37を注入する事によつて、マトリックス型液晶セル34は完成する。これに偏光板35、35'、反射板36を組み合わせることによつて、第8図に示したマトリックス型液晶表示装置となる。

以上の装置はTN-FEM-LCを用いた従来装置であるが、本発明は、これに代つて、多色性色素をゲストとして、ホストとしての液晶中へ溶解させた一般にゲスト-ホスト効果と呼ばれるモードを利用するところにある。

液晶のゲストホスト効果とは、HeilmeyerとZanoniにより、[Appl phys Lett, 13 91(1968)]報告された効果で多色性色素をゲストとしホストとしての液晶中へ溶解させた系に電界を印加することにより、いわゆる液晶分子の電界変形効果を生じさせ、その結果として、多色性色素の分子軸を回転させ、光吸収度を変調させ、表示として用いるものである。そのセル構成及び光

学系は第9図に示す。

第9図(a)は一般的な反射型のゲストホスト効果型の液晶セルを示す。これはセルの裏側に散乱板21があるが、これを第9図(b)のようにセルの一方の電極を光散乱する構造電極(例えば、磨り硝子24上にA1電極23を蒸着する)にする事により、同じように良好なコントラストが得られる。

本発明はこの第9図(b)の構造のゲストホスト型液晶セルを使用する。従つて、第5図~第7図に示したマスクによる製作工程に於いて、改めて工程全部を説明しないが、前記工程1の In_2O_3 の透明電極を工程2のゲート電極及びXバー電極(A1)と同一の材料同一マスクで蒸着することが出来る。又、同様に工程5の液晶セルの片面電極(In_2O_3)を工程6のソース電極と同一材料にすることが出来、同一マスクで蒸着出来るといつた様に工程を簡略化出来、同じく簡略化しているW.H.社の500Å膜厚のAuを用いるより、良好な表示が得られるといつた特長が生れる、この、散乱電極を作る方法としては、全面磨り硝子上に

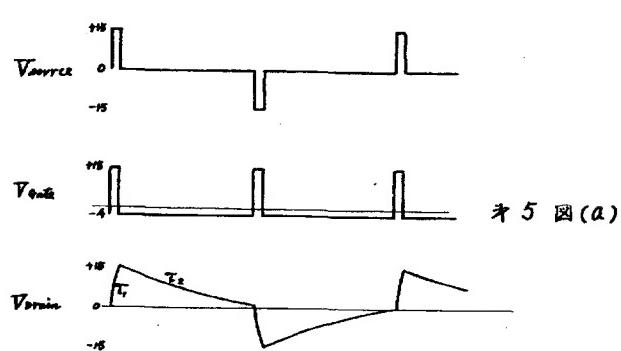
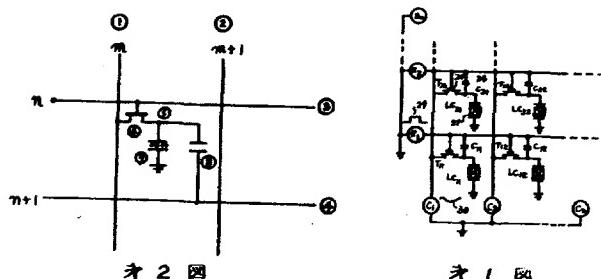
A₁を蒸着しても良いし、TFT素子及びXY電極を蒸着する以外の表示面のみを磨り硝子にした時は、ガラス面にフォトレジストを塗布した後適当なマスクを用いて露光し、フッ酸(HF)等で、ガラス面を解かし凸凹面を作り、その上にA₁を蒸着しても良い。第10図は後者の場合の断面図を示す。

第10図において、38はA₁等の同一材料で出来ているTFTのゲート電極及びコンデンサC_Sの片面電極を示し、39はA₁等の同一材料で出来ているソース電極、ドレイン電極及びLCセルのTFTアレイ基板側の電極を示す。

又、ガラス基板の代りに光を透過しないセラミック基板を用いる事も可能であり、ガラス内のNaイオンがTFTの特性を劣化する危険性もあり、その意味から、セラミック基板を用いることにより、より安定なTFT素子表示装置の製作が可能となる。

4. 図面の簡単な説明

第1図は従来のTFT及び浮遊容量を用いて駆

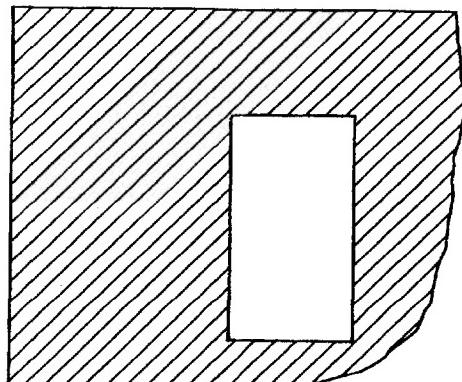
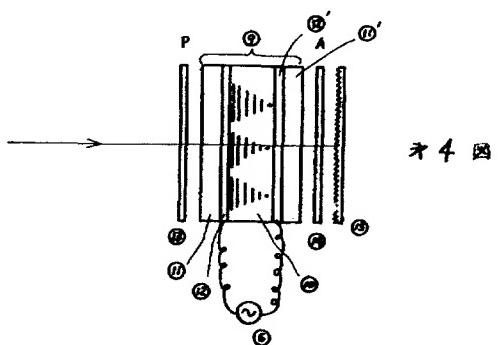


第3図

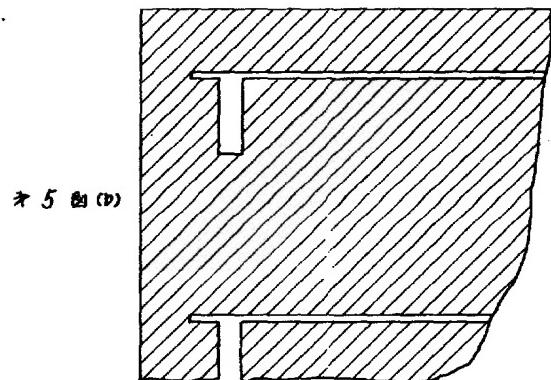
特開昭54-37697(4)
動するマトリックス型液晶表示装置の駆動回路図、第2図は同じく従来の蒸着膜を用いる型式のマトリックス型液晶表示装置の駆動回路図、第3図は第2図の回路の各電極の電圧波形図、第4図は反射型TNLCセルの基本構造図、第5図はマトリックス型液晶表示装置を製造する際に用いられる各工程のマスクの図、第6図は基板上に順次作られる膜を示す斜視図、第7図は同じく各工程での断面図、第8図は従来のマトリックス型液晶表示装置の断面図、第9図(a)(b)は反射型ゲストホスト液晶セルの基本構造図、第10図は本発明によるマトリックス型液晶表示装置の断面図を示す。

2はゲート電極、25はコンデンサ電極、26は絶縁膜、27はソース電極、28は透明電極、29はドレイン電極。

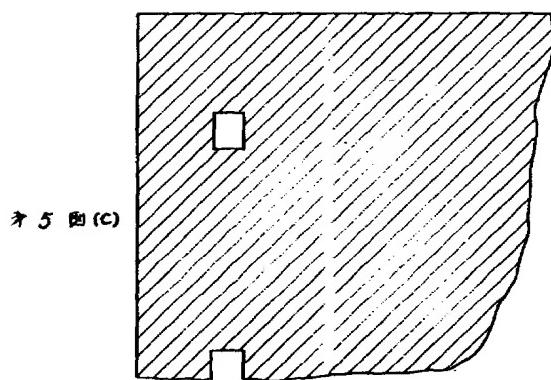
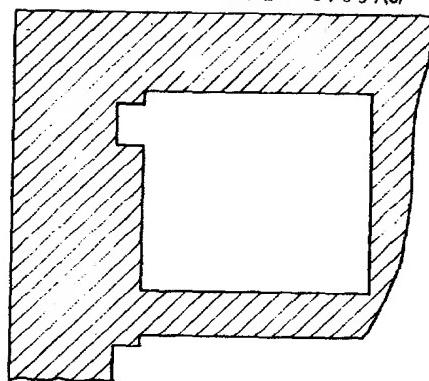
代理人 弁理士 福士愛彦



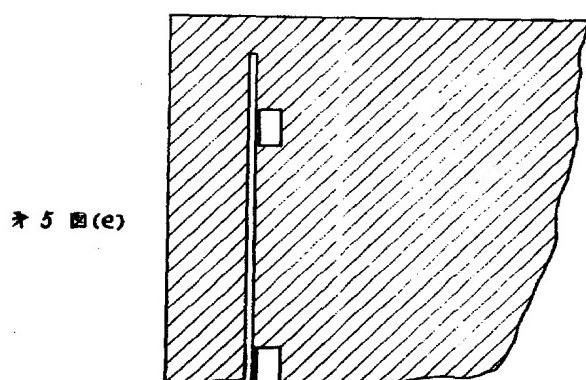
特開 昭54-37697(5)



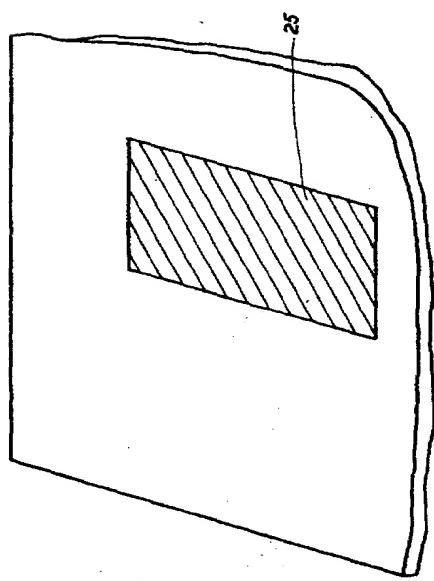
考5図(d)



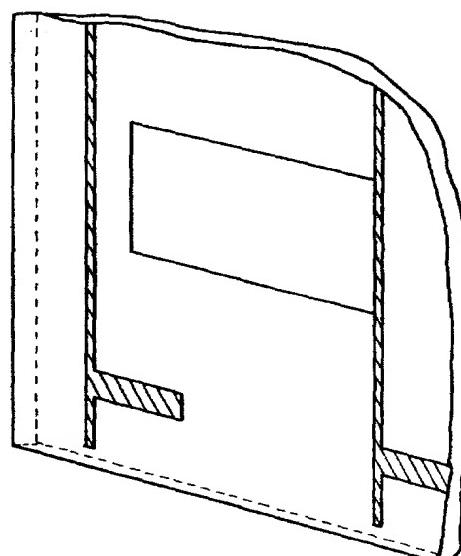
考5図(c)



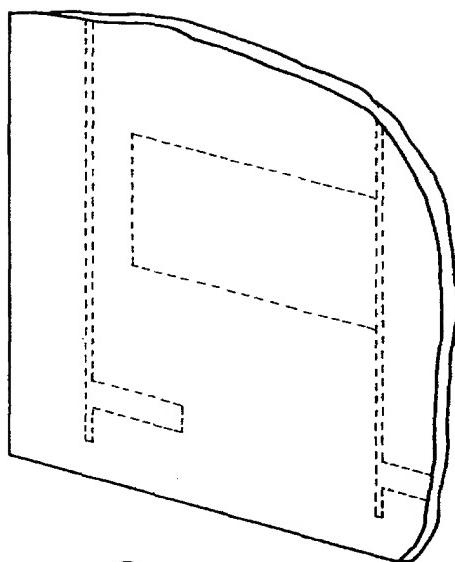
考5図(e)



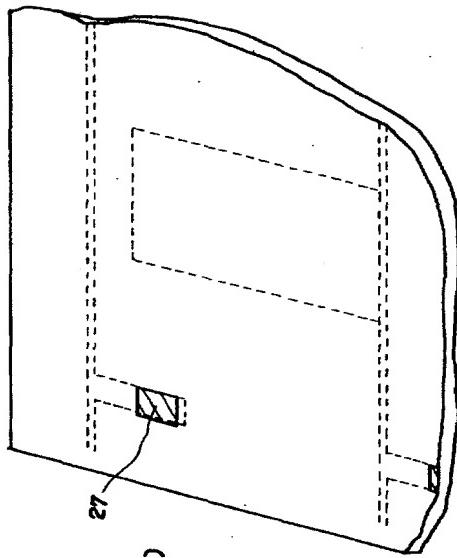
考6図(a)



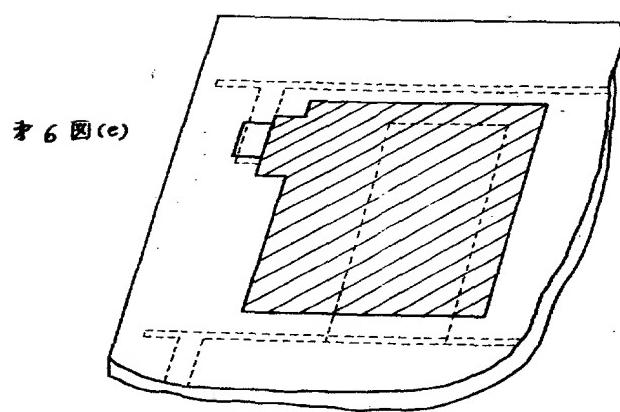
考6図(b)



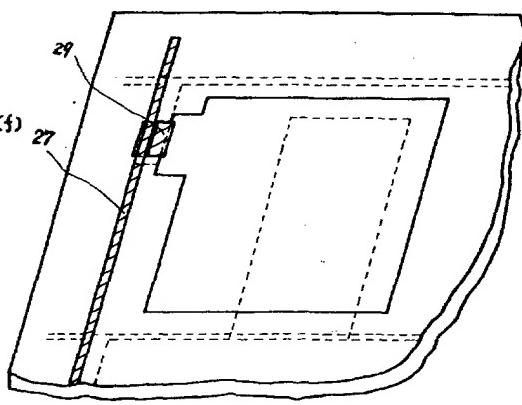
第6図(c)



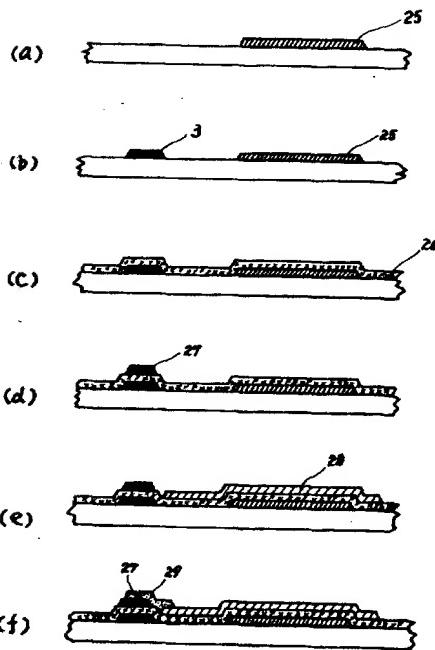
第6図(d)



第6図(e)



第6図(f)



第7図

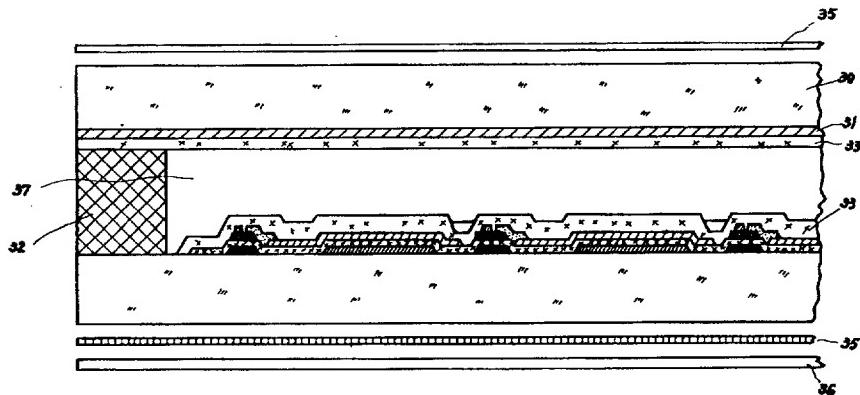


図8 図

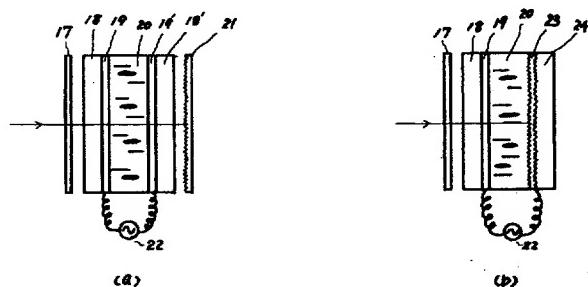


図9 図

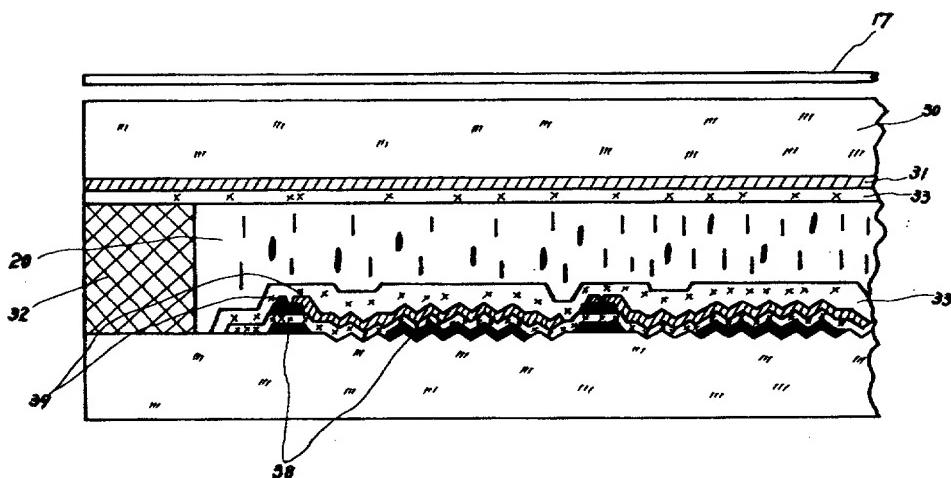


図10 図

手 続 補 正 書

昭和 53 年 2 月 10 日

特許庁長官 熊谷 善二 殿

1. 事件の表示

特願昭 52-105549

(1) 明細書第2頁第15行第16行に「アフログ」

とあるのを「アナログ」と訂正する。

(2) 同第12頁第2行に「用いる型式」とあるの

を「用いる別の型式」と訂正する。

以 上

2. 発明の名称

マトリツクス型液晶表示装置

代理人 弁理士 福士 義彦

3. 補正をする者

事件との関係 特許出願人

住所 545 大阪市阿倍野区長池町22番22号

名称 (504) シャープ株式会社

代表者 佐伯 達也

4. 代理人

住所 545 大阪市阿倍野区長池町22番22号

シャープ株式会社内

氏名 弁理士 (6236) 福士 義彦

連絡先 電話 (東京) 03-3361 東京支社技術部

5. 補正命令の日付 自 発

6. 補正の対象

(1) 明細書の発明の詳細な説明の欄

7. 補正の内容

